

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000890

International filing date: 25 January 2005 (25.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-039427  
Filing date: 17 February 2004 (17.02.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   2 月 1 7 日  
Date of Application:

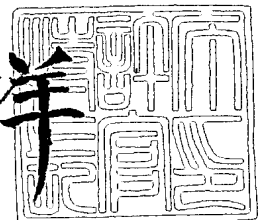
出 願 番 号            特 願 2 0 0 4 - 0 3 9 4 2 7  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 4 - 0 3 9 4 2 7 ]

出   願   人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 5 年   3 月 1 0 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

小 川 洋



出 証 番 号    出 証 特 2 0 0 5 - 3 0 2 0 4 7 5

【書類名】 特許願  
【整理番号】 2018350404  
【提出日】 平成16年 2月17日  
【あて先】 特許庁長官殿  
【国際特許分類】 H05K 1/14  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 森 将人  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 大西 浩昭  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 平野 正人  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100097445  
    【弁理士】  
    【氏名又は名称】 岩橋 文雄  
【選任した代理人】  
    【識別番号】 100103355  
    【弁理士】  
    【氏名又は名称】 坂口 智康  
【選任した代理人】  
    【識別番号】 100109667  
    【弁理士】  
    【氏名又は名称】 内藤 浩樹  
【手数料の表示】  
    【予納台帳番号】 011305  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9809938

## 【書類名】特許請求の範囲

## 【請求項 1】

チップ部品が実装された回路基板であって、  
配線パターンが形成された基板と、  
前記基板上に導電性の接合材料を介して実装された複数の第 1 チップ部品と、  
前記複数の第 1 チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された補助基板と、

前記補助基板の前記複数の第 1 チップ部品とは反対側に導電性の接合材料を介して実装され、前記補助基板を介して前記複数の第 1 チップ部品と電気的に接合された少なくとも 1 つの第 2 チップ部品と、  
を備え、

前記複数の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第 1 チップ部品のみであることを特徴とする回路基板。

## 【請求項 2】

請求項 1 に記載の回路基板であって、

前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品に含まれる各チップ部品の長さが、2 mm 以下であることを特徴とする回路基板。

## 【請求項 3】

請求項 1 または 2 に記載の回路基板であって、

前記複数の第 1 チップ部品および前記少なくとも 1 つの第 2 チップ部品に含まれる各チップ部品が、抵抗器、コンデンサまたはインダクタであることを特徴とする回路基板。

## 【請求項 4】

請求項 1 ないし 3 のいずれかに記載の回路基板であって、

前記複数の第 1 のチップ部品が 2 つであることを特徴とする回路基板。

## 【請求項 5】

配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって

- 、
- a) 補助基板の一の主面上に複数の第 1 チップ部品を装着する工程と、
  - b) 導電性の接合材料を介して前記一の主面の電極上に前記複数の第 1 チップ部品の電極を固定する工程と、
  - c) 前記補助基板の前記一の主面とは反対側の他の主面上に少なくとも 1 つの第 2 チップ部品を装着する工程と、
  - d) 導電性の接合材料を介して前記他の主面の電極上に前記少なくとも 1 つの第 2 チップ部品の電極を固定して前記少なくとも 1 つの第 2 チップ部品を前記複数の第 1 チップ部品と電気的に接合し、チップ部品構造体を形成する工程と、
  - e) 前記チップ部品構造体の前記複数の第 1 チップ部品側を基板に向けて、前記基板上に前記チップ部品構造体を装着する工程と、
  - f) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定する工程と、
- を備え、

前記複数の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第 1 チップ部品のみであることを特徴とするチップ部品実装方法。

## 【請求項 6】

配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって

- 、
- a) 基板上に複数の第 1 チップ部品を装着する工程と、
  - b) 前記複数の第 1 チップ部品の前記基板とは反対側に、一の主面を前記複数の第 1 チップ部品に向けつつ補助基板を装着する工程と、

c) 前記補助基板の前記一の主面とは反対側の他の主面上に少なくとも 1 つの第 2 チップ部品を装着する工程と、

d) 導電性の接合材料を介して前記基板の電極上に前記複数の第 1 チップ部品の電極を固定し、前記複数の第 1 チップ部品の電極上に前記補助基板の前記一の主面の電極を固定し、前記補助基板の前記他の主面の電極に前記少なくとも 1 つの第 2 チップ部品の電極を固定する工程と、  
を備え、

前記複数の第 1 チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第 1 チップ部品のみであることを特徴とするチップ部品実装方法。

【書類名】 明細書

【発明の名称】 回路基板およびチップ部品実装方法

【技術分野】

【0001】

本発明は、電子部品であるチップ部品が実装された回路基板およびチップ部品の実装方法に関する。

【背景技術】

【0002】

近年、携帯電話やコンピュータ等の電子機器の小型、薄型、高機能化に伴い、配線パターンが形成された基板に電子部品を実装した回路基板の更なる高密度実装化の要求が高まっている。これに対応すべく、表面実装用の微細な電子部品であるチップ部品の実装においては、部品サイズの小型化および実装された部品間隔の狭ピッチ化が進んでいる。また、チップ部品を挟んで複数の大きな回路基板を重ねることによる高密度実装も提案されている。

【0003】

例えば、特許文献1の図7および特許文献2の図20には、第1の基板上に抵抗、コンデンサ等のチップ部品を介して第2の基板を電氣的に接続し、第2の基板の上下両主面上にさらに別の電子部品を実装した基板構造が記載されている。特許文献1および特許文献2に記載の構造では、第1の基板と第2の基板との間のチップ部品は両基板を接続する導電体に代えて設けられたものであり、第1の基板と第2の基板との電氣的接続に寄与しない他の電子部品がこれらの基板の間の領域の大部分を占有する。

【特許文献1】 国際公開第01/048821号パンフレット

【特許文献2】 特開2003-108963号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、チップ部品の実装においては、部品サイズの小型化と実装する部品間隔の狭ピッチ化に伴って、微細で高精度な実装が必要になり、欠品やショート等の実装不良が増加する等の理由により、更なる高密度実装が困難になる。すなわち、チップ部品の実装において、部品サイズの小型化および部品間隔の狭ピッチ化による実装の高密度化が限界に達している。一方、実装後の回路基板の総厚みは、チップ部品よりも部品高さが高いパッケージ部品に制約されるため、小型のチップ部品を狭い間隔で実装したとしてもチップ部品の上に空間が余る状態になり、チップ部品を含む電子部品の実装のために空間を無駄に占有することとなる。

【0005】

また、特許文献1および特許文献2に開示された基板構造は、多層化による高密度実装を実現しているが、このような高密度化には回路基板の大幅な設計変更が必要であり、局所的ではあるが簡単にチップ部品の実装を高密度化したいという要望に応えることができない。

【0006】

本発明は、上記課題を解決するためになされたものであり、簡易な手法で電子部品の実装に利用される空間を有効に活用してチップ部品を基板に高密度に実装し、回路基板を小型化することを目的とする。

【課題を解決するための手段】

【0007】

請求項1に記載の発明は、チップ部品が実装された回路基板であって、配線パターンが形成された基板と、前記基板上に導電性の接合材料を介して実装された複数の第1チップ部品と、前記複数の第1チップ部品の前記基板とは反対側に導電性の接合材料を介して実装された補助基板と、前記補助基板の前記複数の第1チップ部品とは反対側に導電性の接合材料を介して実装され、前記補助基板を介して前記複数の第1チップ部品と電氣的に接

合された少なくとも1つの第2チップ部品とを備え、前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

【0008】

請求項2に記載の発明は、請求項1に記載の回路基板であって、前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品に含まれる各チップ部品の長さが、2mm以下である。

【0009】

請求項3に記載の発明は、請求項1または2に記載の回路基板であって、前記複数の第1チップ部品および前記少なくとも1つの第2チップ部品に含まれる各チップ部品が、抵抗器、コンデンサまたはインダクタである。

【0010】

請求項4に記載の発明は、請求項1ないし3のいずれかに記載の回路基板であって、前記複数の第1のチップ部品が2つである。

【0011】

請求項5に記載の発明は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、a) 補助基板の一の主面上に複数の第1チップ部品を装着する工程と、b) 導電性の接合材料を介して前記一の主面の電極上に前記複数の第1チップ部品の電極を固定する工程と、c) 前記補助基板の前記一の主面とは反対側の他の主面上に少なくとも1つの第2チップ部品を装着する工程と、d) 導電性の接合材料を介して前記他の主面の電極上に前記少なくとも1つの第2チップ部品の電極を固定して前記少なくとも1つの第2チップ部品を前記複数の第1チップ部品と電気的に接合し、チップ部品構造体を形成する工程と、e) 前記チップ部品構造体の前記複数の第1チップ部品側を基板に向けて、前記基板上に前記チップ部品構造体を装着する工程と、f) 導電性の接合材料を介して前記基板の電極上に前記複数の第1チップ部品の電極を固定する工程とを備え、前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

【0012】

請求項6に記載の発明は、配線パターンが形成された基板上にチップ部品を実装するチップ部品実装方法であって、a) 基板上に複数の第1チップ部品を装着する工程と、b) 前記複数の第1チップ部品の前記基板とは反対側に、一の主面を前記複数の第1チップ部品に向けつつ補助基板を装着する工程と、c) 前記補助基板の前記一の主面とは反対側の他の主面上に少なくとも1つの第2チップ部品を装着する工程と、d) 導電性の接合材料を介して前記基板の電極上に前記複数の第1チップ部品の電極を固定し、前記複数の第1チップ部品の電極上に前記補助基板の前記一の主面の電極を固定し、前記補助基板の前記他の主面の電極に前記少なくとも1つの第2チップ部品の電極を固定する工程とを備え、前記複数の第1チップ部品の前記基板上における高さがほぼ等しく、前記基板と前記補助基板との間に存在する電子部品が前記複数の第1チップ部品のみである。

【発明の効果】

【0013】

本発明によれば、簡易にチップ部品を基板に高密度に実装することができ、これにより、回路基板を小型化することができる。

【発明を実施するための最良の形態】

【0014】

図1は、本発明の一の実施の形態に係る回路基板1の一部を示す斜視図である。図2は、図1に示す構造の3方向から見た様子をまとめて示す図であり、正面図を左下に、平面図を左上に、側面図を右下に示している。

【0015】

図1および図2では、回路基板1が、基板2と、基板2上の2つのチップ部品（以下、「第1チップ部品」という。）3a、3bと、第1チップ部品3a、3b上の補助基板1

1と、補助基板11上の1つのチップ部品（以下、「第2チップ部品」という。）4とを備える様子を示しており、第1チップ部品3a、3b、補助基板11および第2チップ部品4が、はんだ70c、70a、70bを順に介して、基板2の表面に対して垂直な方向に2段に積み重ねられて立体的に実装されている。なお、第1チップ部品の側面でははんだが上下に連続しており、このはんだの下部をはんだ70cと呼び、上部をはんだ70aと呼んでいる。

#### 【0016】

また、回路基板1の構造を明瞭に示すために、図1において、補助基板11およびはんだ70a、70b、70cの輪郭を破線で示し、図2において、はんだ70a、70b、70cの輪郭を破線で示し、図2の右下部でははんだ70bの図示を省略し、左下部でははんだ70a、70cの図示を省略し、左上部でははんだ70a、70b、70cおよび基板2上の配線の図示を省略している。後述するように実際には第1チップ部品3a、3b、補助基板11および第2チップ部品4は接合を補強するための補強樹脂にて覆われている。

#### 【0017】

基板2は、図1に示すように基板本体21の表面に導体の配線パターン22が形成された、いわゆる配線基板であり、配線パターン22の一部が電子部品の電極と接合される電極23となっている。基板本体21は、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、配線パターン22および電極23は、銅により形成されている。

#### 【0018】

第1チップ部品3a、3bおよび第2チップ部品4は、表面実装技術においてパッケージ部品と対比されるいわゆるチップ部品である。チップ部品は典型的には長手方向の両端に電極を備えた略直方体状（角形）または円筒状の電子部品であるが、その他のチップ部品として、多数の微小部品をまとめた多連型（または、ネットワーク型）のチップ部品も知られている。

#### 【0019】

補助基板11には、図2に示すように一方の主面に複数の電極101が形成されるとともに他方の主面（一方の主面の裏側の面）に複数の電極102が形成され、第1チップ部品3a、3bと第2チップ部品4との電氣的接合用の基板（インターポーザとも呼ばれる。）である。電極101と電極102とは、図示省略の配線パターンやビア等により電氣的に接続されており、その接続関係は、回路基板1上に形成する回路に合わせて様々なものとされる。補助基板11は、基板2と同様に、ガラスエポキシ樹脂やポリイミド樹脂等の樹脂あるいはセラミックにより板状またはフィルム状に形成されており、電極101、102は、銅により形成されている。

#### 【0020】

図1および図2では、第1チップ部品3a、3bはそれぞれ両端に電極31を備えた略直方体の同サイズのチップコンデンサであり、例えば、それぞれ長さが約0.6mm、幅が約0.3mm、高さ（高さ）が約0.3mmである。そして、電極31がはんだ70cにより基板2の電極23に接合されることにより、第1チップ部品3a、3bが基板2上にはんだ70cを介して実装されている。

#### 【0021】

第1チップ部品3aと第1チップ部品3bとは、平行に並んでおり（すなわち、両チップ部品の長手方向が同じ方向を向き、かつ、長手方向に垂直な方向に並んでおり）、基板2上における両チップ部品3a、3bの高さがほぼ等しくされている。なお、基板2上における高さがほぼ等しいとは、チップ部品の製造誤差や実装誤差に起因する高さの差を無視すると、高さが等しいことを意味する。第1チップ部品3aと第1チップ部品3bとの間の間隙は、例えば約0.2mmとされる。

#### 【0022】

補助基板11は、第1チップ部品3a、3b上に（すなわち、第1チップ部品3a、3



bの基板2とは反対側に) はんだ70aを介して実装されており、電極101が第1チップ部品3a, 3bの電極31にはんだ70aにより接合される。すなわち、第1チップ部品3a, 3bは、基板2と補助基板11との間に存在して、基板2と補助基板11の両方に接合される。ここで、基板2と補助基板11との間に存在する電子部品は、第1チップ部品3a, 3bのみとされる。

#### 【0023】

第2チップ部品4は、第1チップ部品3a, 3bとは異種の部品あり、両端に電極41を備え、電極41間に抵抗体42(図1参照)を有する略直方体のチップ抵抗器である。第2チップ部品4は、第1チップ部品3a, 3bとはほぼ同じサイズであり、長さが約0.6mm、幅が約0.3mm、厚さ(高さ)が約0.25mmとなっている。第2チップ部品4は、補助基板11上に(すなわち、補助基板11の第1チップ部品3a, 3bとは反対側に) はんだ70bを介して実装されており、電極41が補助基板11の電極102にはんだ70bにより接合される。

#### 【0024】

第2チップ部品4は、補助基板11の電極101, 102、配線、ビア等を介して、例えば、一方の電極41が第1チップ部品3aの電極31と電気的に接続され、他方の電極41が第1チップ部品3bの電極31と電気的に接続される。第2チップ部品4に接続されない2つの電極31は互いに接続される(接続されない場合もあり、この場合、接合される電極101はダミー電極となる。)。これにより、第1チップ部品3a, 3bおよび第2チップ部品4を、補助基板11およびはんだ70a, 70b, 70cを介して、基板2の表面に対して垂直な方向に2段に積み重ねて立体的に実装するとともに、基板2と補助基板11との間に第1チップ部品3a, 3bのみを配置した構造が構成される。なお、図示を省略しているが、回路基板1には、第1チップ部品3a, 3bの周囲に他のチップ部品やパッケージ化された電子部品等が実装されている。

#### 【0025】

図3は、回路基板1を製造する際のチップ部品の実装方法を、第1チップ部品3a, 3b、補助基板11、および第2チップ部品4の実装に注目して示すフローチャートである。また、図4.Aないし図4.E並びに図5.Aないし図5.Dは、第1チップ部品3a, 3b、補助基板11、および第2チップ部品4の実装の様子を示す図である。以下、回路基板1を製造する際のチップ部品の実装方法について説明する。

#### 【0026】

まず、図4.Aに示すように、補助基板11の一の主面(以下、「第1主面」という。)111の各電極101上に、ペースト状のはんだ(以下、「第1はんだ」という。)71がスクリーン印刷により付与される(ステップS11)。第1はんだ71は、いわゆるクリームはんだであり、粉末状のはんだと粘性を有するフラックスとを混合してペースト状にしたものである。続いて、図4.Bに示すように、補助基板11上の第1はんだ71上に第1チップ部品3a, 3bが装着される(ステップS12)。

#### 【0027】

そして、補助基板11がリフロー装置へと搬入され、高温槽により第1はんだ71が加熱されて溶融し、フラックス成分が揮発してはんだ成分のみが残存し、その後、冷却により第1はんだ71を凝固させることにより、第1チップ部品3a, 3bの電極31上に広がる固体のはんだ70a(上下が反転された図4.C参照)となって、補助基板11の電極101上に第1チップ部品3a, 3bの電極31が電気的に接合されるとともに機械的に固定される(ステップS13)。

#### 【0028】

次に、図4.Cに示すように、第1チップ部品3a, 3bが固定された補助基板11が上下反転され、補助基板11の第1主面111とは反対側の主面(以下、「第2主面」という。)112の各電極102上に、ペースト状のクリームはんだ(以下、「第2はんだ」という。)72が、スクリーン印刷または微細なノズルを用いて付与される(ステップS14)。続いて、図4.Dに示すように、補助基板11上の第2はんだ72上に第2チ

チップ部品4が装着される（ステップS15）。

#### 【0029】

そして、補助基板11がリフロー装置へと搬入され、高温槽により第2はんだ72を加熱して溶融させた後冷却することにより、図4．Eに示すように、第2はんだ72が固体のはんだ70bとなって、補助基板11の電極102上に第2チップ部品4の電極41が電氣的に接合されるとともに機械的に固定される。これにより、第1チップ部品3a、3bが補助基板11の第1主面111に固定され、第2チップ部品4が補助基板11の第2主面112に固定されたチップ部品構造体10が形成される（ステップS16）。

#### 【0030】

次に、図5．Aに示すように、基板2の電極23上に、ペースト状のはんだ（以下、「第3はんだ」という。）73がスクリーン印刷または微細なノズルを用いて付与される（ステップS21）。続いて、図5．Bに示すように、基板2上の第3はんだ73上に、第1チップ部品3a、3b側を基板2に向けてチップ部品構造体10が装着される（ステップS22）。このとき、必要に応じて、他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、チップ部品構造体10と同様に第3はんだ73上に装着される。なお、第1チップ部品3aと第1チップ部品3bの補助基板11上における高さ（基板2上の高さでもある。）がほぼ等しくされるため、補助基板11を水平にしてチップ部品構造体10を安定して装着することができる。

#### 【0031】

そして、基板2がリフロー装置へと搬入され、高温槽により第3はんだ73を加熱して溶融させた後冷却することにより、図5．Cに示すように、第3はんだ73が固体のはんだ70cとなって、基板2の電極23上にチップ部品構造体10の第1チップ部品3a、3bの電極31が電氣的に接合されるとともに機械的に固定される（ステップS23）。これにより、チップ部品構造体10が基板2に実装される。他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、チップ部品構造体10と同様に基板2に実装される。

#### 【0032】

その後、図5．Dに示すように第1チップ部品3a、3b、補助基板11、および第2チップ部品4を覆うように（アンダーフィルのみであってもよく、少なくとも電極同士の接合部を覆うように）、電極同士の接合を補強するための補強樹脂5（光や熱により硬化する樹脂、あるいは、自然に硬化する樹脂であってもよい。）がノズルを用いて塗布される（ステップS24）、補強樹脂5の硬化が行われる（ステップS25）。これにより、第1チップ部品3a、3b、補助基板11、および第2チップ部品4により構成される構造が補強され、回路基板1の信頼性が向上する。

#### 【0033】

以上の工程を経ることにより、チップ部品の実装が完了し、はんだ70cにより基板2上に第1チップ部品3a、3bが実装され、はんだ70cと連続するはんだ70aにより第1チップ部品3a、3b上に補助基板11が実装され、はんだ70bにより補助基板11上に第2チップ部品4が実装され、さらに、第1チップ部品3a、3b、補助基板11、および第2チップ部品4が補強樹脂5により補強された回路基板1が得られる（図1、図2および図5．D参照）。

#### 【0034】

なお、第2はんだ72を溶融させる際に一旦固化したはんだ70aが再溶融してもよいが、再溶融が好ましくない場合には、はんだ70a（すなわち、第1はんだ71）の再溶融温度よりも低い融点を有する第2はんだ72が使用され、2回目のリフロー温度は第2はんだ72は溶融するがはんだ70aは再溶融しない温度とされる。同様に、第3はんだ73を溶融させる際に一旦固化したはんだ70a、70bが再溶融してもよいが、再溶融が好ましくない場合には、はんだ70a、70b（すなわち、第1はんだ71および第2はんだ72）の再溶融温度よりも低い融点を有する第3はんだ73が使用され、3回目のリフロー温度は第3はんだ73は溶融するがはんだ70a、70bは再溶融しない温度と

される。

#### 【0035】

また、チップ部品構造体10を基板2に実装する際には、チップ部品構造体10を含む微小な領域が熱風や光を用いて局所的に加熱されてもよい。これにより、他の領域への影響を最小限に抑えつつ、第1チップ部品3a、3b、補助基板11、および第2チップ部品4を実装することができる。

#### 【0036】

図6は、回路基板1を製造する際のチップ部品の他の実装方法を、第1チップ部品3a、3b、補助基板11、および第2チップ部品4の実装に注目して示すフローチャートである。また、図7. Aないし図7 Eは、第1チップ部品3a、3b、補助基板11、および第2チップ部品4の実装の様子を示す図である。

#### 【0037】

図6に示すチップ部品の実装方法では、まず、図5. Aと同様に、基板2の各電極23上に、ペースト状のはんだ（以下、「第1はんだ」という。）74（図5. Aの符号73を符号74に置き換えるものとする。）がスクリーン印刷により付与される（ステップS31）。続いて、図7. Aに示すように、基板2上の第1はんだ74上に第1チップ部品3a、3bが装着される（ステップS32）。このとき、必要に応じて、他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、第1チップ部品3a、3bと同様に第1はんだ74上に装着される。

#### 【0038】

次に、図7. Bに示すように、第1チップ部品3a、3bの電極31上に、ペースト状のはんだ（以下、「第2はんだ」という。）75がスクリーン印刷または微細なノズルを用いて付与される（ステップS33）。続いて、図7. Cに示すように、第1チップ部品3a、3bの第2はんだ75上に、補助基板11が装着される（ステップS34）。このとき、補助基板11は、第1主面111の各電極101が第2はんだ75上に位置するように装着される。なお、第1チップ部品3aと第1チップ部品3bの基板2上における高さはほぼ等しいため、補助基板11を第1チップ部品3a、3b上に安定して積み重ねることができる。

#### 【0039】

次に、図7. Dに示すように、補助基板11の第2主面112の各電極102上に、ペースト状のはんだ（以下、「第3はんだ」という。）76がスクリーン印刷または微細なノズルを用いて付与される（ステップS35）。続いて、図7. Eに示すように、補助基板11上の第3はんだ76上に第2チップ部品4が装着される（ステップS36）。

#### 【0040】

基板2はリフロー装置へと搬入され、基板2全体にリフロー処理が施される（ステップS37）。すなわち、高温槽により第1はんだ74、第2はんだ75および第3はんだ76を一括して加熱して溶融させた後、冷却することにより、第1はんだ74、第2はんだ75および第3はんだ76が固化される。これにより、図5. Cおよび図2に示したものと同様の構造が得られる。すなわち、図2に示すように、第1はんだ74が固体のはんだ70cとなつて、基板2の電極23上に第1チップ部品3a、3bの電極31が電気的に接合されるとともに機械的に固定され、第2はんだ75が固体のはんだ70aとなつて、第1チップ部品3a、3bの電極31上に補助基板11の電極101が電気的に接合されるとともに機械的に固定され、第3はんだ76が固体のはんだ70bとなつて、補助基板11の電極102上に第2チップ部品4の電極41が電気的に接合されるとともに機械的に固定される。図7. Eおよび図5. Cに示すように、他のチップ部品81、82やパッケージ化された電子部品（図示省略）等も、第1はんだ74が固体のはんだ70cとなつて、基板2に実装される。

#### 【0041】

その後、図5. Dに示すように、第1チップ部品3a、3b、補助基板11、および第2チップ部品4を覆うように、電極同士の接合を補強するための補強樹脂5が塗布され（

ステップ S 3 8)、補強樹脂 5 の硬化が行われる (ステップ S 3 9)。

#### 【0042】

以上の工程を経ることにより、第 1 チップ部品 3 a, 3 b、補助基板 1 1、および第 2 チップ部品 4 が基板 2 側から順に積み上げられた回路基板 1 が得られる (図 1、図 2 および図 5、D 参照)。図 6 に示す実装方法の場合、第 1 チップ部品 3 a, 3 b の基板 2 への固定と、補助基板 1 1 の第 1 チップ部品 3 a, 3 b への固定と、第 2 チップ部品 4 の補助基板 1 1 への固定とが一括して行われるため、実装作業を効率よく行うことができる。

#### 【0043】

なお、第 1 チップ部品 3 a, 3 b の基板 2 への固定、補助基板 1 1 の第 1 チップ部品 3 a, 3 b への固定、第 2 チップ部品 4 の補助基板 1 1 への固定は、それぞれ個別に行われてもよい。すなわち、第 1 はんだ 7 4、第 2 はんだ 7 5 および第 3 はんだ 7 6 のそれぞれが塗布される毎に、あるいは、いずれか 2 つのはんだのみに対して同時にリフローが行われてもよい。

#### 【0044】

以上、回路基板 1 の構造およびチップ部品の実装方法について説明してきたが、回路基板 1 では、第 1 チップ部品 3 a, 3 b 上に第 2 チップ部品 4 が積み重なるようにして立体的に実装される。これにより、実装に利用される空間を有効に活用して、チップ部品を基板 2 上に高密度に実装することができ、回路基板 1 を小型化することができる。

#### 【0045】

例えば、図 8、A に示すように、第 1 チップ部品 3 a, 3 b、第 2 チップ部品 4、および他のパッケージ化された電子部品 8 5, 8 6 を基板 2 に実装した場合、第 1 チップ部品 3 a, 3 b および第 2 チップ部品 4 の上に空間が余る状態になり、実装に必要な空間が大きくなる。これに対して、図 8、B に示す回路基板 1 のように、第 1 チップ部品 3 a, 3 b 上に (補助基板 1 1 を介して) 第 2 チップ部品 4 を実装した場合、第 2 チップ部品 4 の上面の高さがパッケージ化された電子部品 8 5, 8 6 の高さ程度に納まることにより、基板 2 上の空間を有効活用してチップ部品を高密度に実装することができ、回路基板 1 の厚さを大幅に増すことなく、回路基板 1 の面積を小さくすることができる。

#### 【0046】

また、回路基板 1 では、補助基板 1 1 を介して第 1 チップ部品 3 a, 3 b 上に第 2 チップ部品 4 を実装しているため、補助基板 1 1 の配線パターンや第 2 チップ部品 4 の配置によって第 1 チップ部品と第 2 チップ部品との接続関係を多様化することができ、回路設計の自由度が高まる。

#### 【0047】

さらに、基板 2 と補助基板 1 1 との間には基板 2 と補助基板 1 1 の両方に接合される第 1 チップ部品 3 a, 3 b のみが配置され、補助基板 1 1 の大きさが必要最小限とされるため、従来のように基板の上に大きな別の基板が積層される場合に比べて回路基板の曲げに対する耐久性、および、回路基板の単位面積当たりの外力に対する強度を高くすることができる。これにより、回路基板 1 の信頼性を高めることができる。加えて、非常に微小な領域で回路基板 1 の多層化が行われるため、回路基板 1 上の多数の箇所でも局所的に簡易な設計変更を行うことが可能となる。その結果、回路基板 1 の設計コストの増大を抑えつつ、チップ部品の高密度実装が実現される。

#### 【0048】

図 9 ないし図 1 3 は、基板 2 上にチップ部品が積層される回路基板 1 の他の例を示す図であり、それぞれ図 2 と同様に 3 方向から見た様子をまとめて示しており、正面図を左下に、平面図を左上に、側面図を右下に示している。また、これらの図では、補助基板 1 1 およびはんだ 7 0 a, 7 0 b, 7 0 c の輪郭を破線で示しており、補助基板 1 1 の電極の図示を省略している。図 9 ないし図 1 2 では、右下部においてはんだ 7 0 b の図示を省略し、左下部においてはんだ 7 0 a, 7 0 c の図示を省略し、左上部においてはんだ 7 0 a, 7 0 b, 7 0 c および基板 2 上の配線の図示を省略している。さらに、積層されるチップ部品は必要に応じて補強樹脂にて覆われる。

## 【0049】

図9に示す回路基板1では、2つの第1チップ部品3a, 3bおよび2つの第2チップ部品4a, 4bが、補助基板11を介して基板2の表面に対して垂直な方向に2段に積み重ねて立体的に実装されている。図9に示す例では、第1チップ部品3a, 3bはチップコンデンサであり、第2チップ部品4a, 4bはチップ抵抗器であり、第2チップ部品4a, 4bが2個であるという点を除いて図2と同様であり、同様の構成には同符号を付している（図10ないし図13においても同様）。なお、第1チップ部品3a, 3bの電極31と第2チップ部品4a, 4bの電極41との接続関係は、補助基板11の配線やビア等により任意に設定され、回路の設計変更に対応可能とされる。

## 【0050】

図10に示す回路基板1では、2つの第1チップ部品3a, 3bが第2チップ部品4a, 4bよりも相対的に大きいという点を除いて図9と同様である。図10に示すように、第1チップ部品の高さがほぼ等しくされるのであるならば、第1チップ部品や第2チップ部品として様々な大きさのものが用いられてよい。

## 【0051】

図11に示す回路基板1では、2つの第1チップ部品3a, 3bおよび3つの第2チップ部品4a, 4b, 4cが、補助基板11を介して基板2の表面に対して垂直な方向に2段に積み重ねて立体的に実装されており、第2チップ部品が3個であるという点を除いて図10と同様である。一方、図12に示す回路基板1では、2つの第1チップ部品3a, 3b上に補助基板11が実装され、補助基板11上に1つの大きな第2チップ部品4が実装される。このように、第2チップ部品は1個であってもよく、3個以上であってもよい。さらには、第2チップ部品が2列に配列されてもよい。なお、第2チップ部品が実装される向きも第1チップ部品と平行であってもよい。

## 【0052】

図13に示す回路基板1では、第2チップ部品4として多連型のチップ部品が利用される。図13では、第2チップ部品4として4つの電極41を有するものが例示されている。なお、図13では、左下部においてはんだ70a, 70b, 70cの図示を省略し、左上部においてはんだ70a, 70b, 70cおよび基板2上の配線の図示を省略している。第1チップ部品3a, 3bおよび補助基板11の配置は図2の場合と同様である。第1チップ部品3a, 3bは、はんだ70cを介して電極31が基板2の電極23に接合され、補助基板11は、第1チップ部品3a, 3b上にはんだ70aを介して実装される。第2チップ部品4は、補助基板11上にはんだ70bを介して実装され、各電極41が補助基板11の配線を介して、例えば、2つの第1チップ部品3a, 3bの各電極31に電気的に接続される。このように、チップ部品としては多連型のものが用いられてもよく、チップ部品の電極の数は2つには限定されない。なお、第1チップ部品として多連型のチップ部品が用いられてもよい。

## 【0053】

図9ないし図13に示す回路基板1は、いずれも図3または図6に示した方法によって製造することができる。そして、補助基板11を挟んで第2チップ部品を第1チップ部品上に基板2に対して垂直な方向に積み重ねるようにして実装することにより、図1および図2に示す回路基板1と同様に、実装に利用される空間を有効に利用することができ、回路基板1の小型化が実現される。さらに、異種部品を積み上げて、すなわち、基板2上に実装される少なくとも1つの第1チップ部品に含まれる一の第1チップ部品と、この第1チップ部品の電極に接合される第2チップ部品とを機能の異なる異種部品とすることにより、局所的かつ柔軟に回路構造の立体化が実現され、回路基板1の大幅な小型化が実現される。

## 【0054】

以上、本発明の実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変形が可能である。

## 【0055】

基板 2 上に実装される第 1 チップ部品や補助基板 1 1 を介して第 1 チップ部品上に実装される第 2 チップ部品は、典型的には、チップ抵抗器、チップコンデンサまたはチップインダクタであるが、他の機能を有するチップ部品であってもよく、また、既述のように、多連チップ抵抗器、チップ形ネットワーク等の多連型（同種のチップ部品を連結したものである）のチップ部品であってもよく、異種のチップ部品を連結したものである。なお、多連型のチップ部品の場合は、電極は必ずしも長手方向の端部には存在しない。さらに、メルフ形抵抗器や円筒形チップ抵抗器のように略直方体ではないチップ部品が利用されてもよい。

#### 【0056】

第 1 チップ部品および第 2 チップ部品の大きさは様々なものであってよいが、通常、長さが 2 mm 以下の微細なチップ部品は 1 つの基板に多数実装され、かつ、これらのチップ部品の高さは通常 1 mm 以下であり、2 段に積層する程度では回路基板の高さに影響を与えない。したがって、チップ部品の積み重ねは、長さが 2 mm 以下の微細なチップ部品に対して行われることが好ましいといえる。

#### 【0057】

上記実施の形態では、ペースト状のはんだを用いて第 1 チップ部品、補助基板 1 1、および第 2 チップ部品が実装されるが、基板 2、第 1 チップ部品、補助基板 1 1、または第 2 チップ部品にメッキやディップ等の手法によりプリコーティングされたはんだ層を設けておき、プリコーティングされたはんだ層を利用した実装が行われてもよい。このような実装を行うことにより、回路基板 1 の製造作業が簡素化される。さらには、銀ペースト、導電性樹脂などの導電性の他の接合材料を用いて第 1 チップ部品、補助基板 1 1、または第 2 チップ部品の実装が行われてもよい。また、例えば、熱硬化性の接着樹脂を用いる場合のように、チップ部品の装着と固定とが同時に行われてもよい。この場合、装着時点でチップ部品の実装が完了することとなる。

#### 【0058】

第 1 チップ部品および第 2 チップ部品は 3 以上であってもよく、これらのチップ部品は様々な配置されてよい。すなわち、複数の第 1 チップ部品が基板 2 に実装され、少なくとも 1 つの第 2 チップ部品が補助基板 1 1 を介して第 1 チップ部品の上に実装され、このとき、基板 2 と補助基板 1 1 との間に存在する電子部品を第 1 チップ部品のみとすることにより、柔軟で局所的な多層化が実現される。

#### 【0059】

特に、第 1 チップ部品を 2 つにすることで、多くの箇所回路構造を簡易に部分的に立体化することができ、これにより、回路構造の立体化が最も効率よく実現され、チップ部品の高密度実装が実現される。しかも、第 1 チップ部品を 2 つにすることで、回路基板 1 の歪みに対する補助基板 1 1 の歪を最小限に抑えることができ、回路基板 1 の信頼性が高められる。

#### 【0060】

なお、回路基板 1 上には第 1 チップ部品および第 2 チップ部品を 2 段に積み重ねて実装した構造以外に、複数の補助基板を挟んでチップ部品を 3 段以上に積み重ねて実装した構造が設けられてもよい。

#### 【産業上の利用可能性】

#### 【0061】

本発明は、配線パターンが形成された基板にチップ部品を実装する技術に利用することができる。

#### 【図面の簡単な説明】

#### 【0062】

【図 1】 回路基板の一部を示す斜視図

【図 2】 回路基板上の構造を示す図

【図 3】 チップ部品の実装方法を示すフローチャート

【図 4. A】 チップ部品構造体の形成を示す図

- 【図 4. B】チップ部品構造体の形成を示す図
- 【図 4. C】チップ部品構造体の形成を示す図
- 【図 4. D】チップ部品構造体の形成を示す図
- 【図 4. E】チップ部品構造体の形成を示す図
- 【図 5. A】チップ部品構造体の実装を示す図
- 【図 5. B】チップ部品構造体の実装を示す図
- 【図 5. C】チップ部品構造体の実装を示す図
- 【図 5. D】チップ部品構造体の実装を示す図
- 【図 6】チップ部品の他の実装方法を示すフローチャート
- 【図 7. A】第 1 および第 2 チップ部品の実装を示す図
- 【図 7. B】第 1 および第 2 チップ部品の実装を示す図
- 【図 7. C】第 1 および第 2 チップ部品の実装を示す図
- 【図 7. D】第 1 および第 2 チップ部品の実装を示す図
- 【図 7. E】第 1 および第 2 チップ部品の実装を示す図
- 【図 8. A】積み重ねられなかった場合のチップ部品を示す図
- 【図 8. B】積み重ねられたチップ部品を示す図
- 【図 9】回路基板上の構造の他の例を示す図
- 【図 10】回路基板上の構造の他の例を示す図
- 【図 11】回路基板上の構造の他の例を示す図
- 【図 12】回路基板上の構造の他の例を示す図
- 【図 13】回路基板上の構造の他の例を示す図

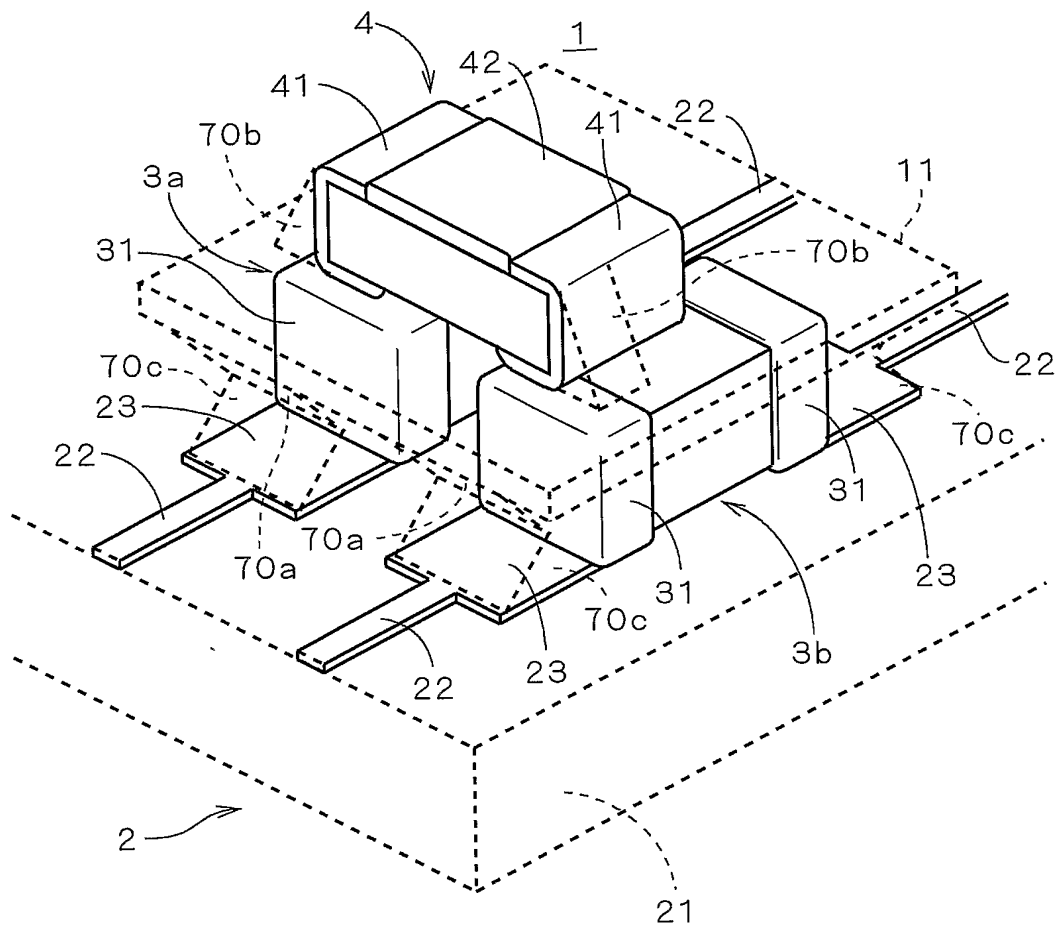
## 【符号の説明】

## 【0063】

- 1 回路基板
- 2 基板
- 3, 3 a, 3 b 第 1 チップ部品
- 4, 4 a, 4 b, 4 c 第 2 チップ部品
- 5 補強樹脂
- 10 チップ部品構造体
- 11 補助基板
- 22 配線パターン
- 23, 31, 41 電極
- 70 a, 70 b, 70 c はんだ
- 101, 102 電極
- 111 第 1 主面
- 112 第 2 主面
- S11~S16, S21~S25, S31~S39 ステップ

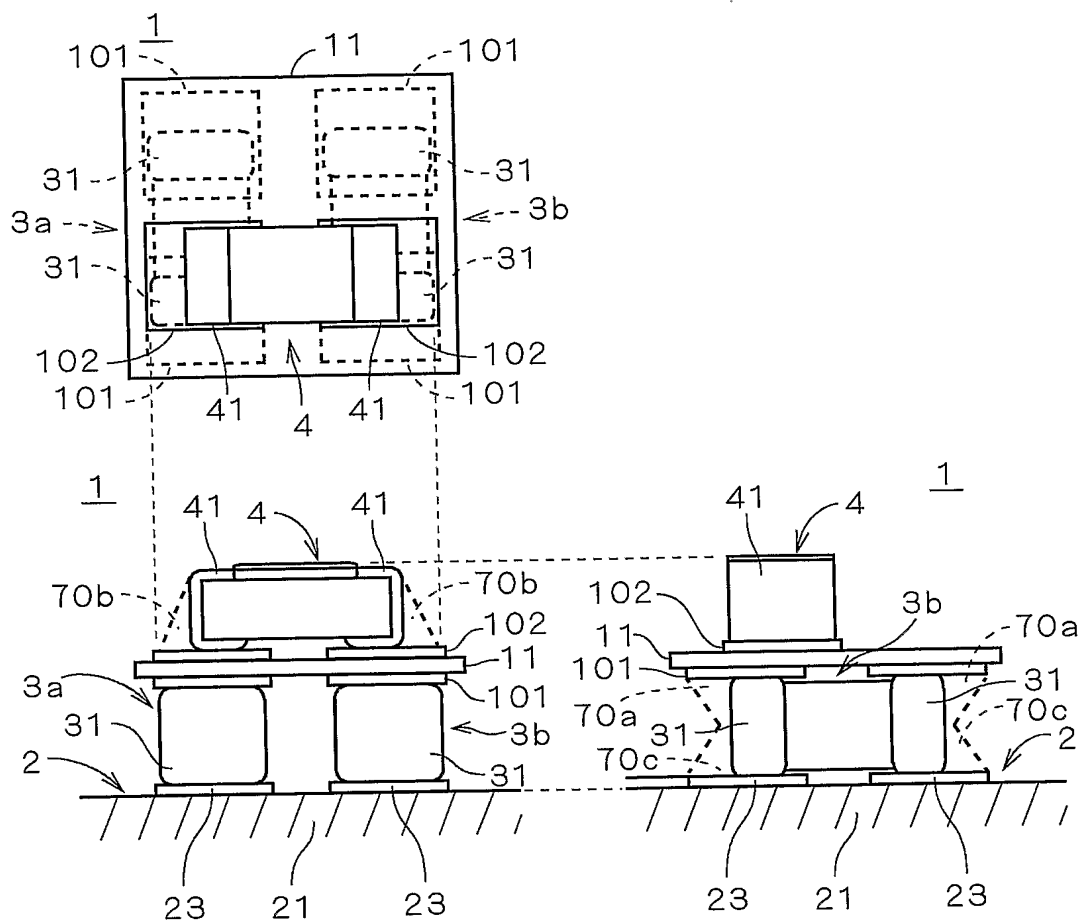
【書類名】 図面

【図 1】

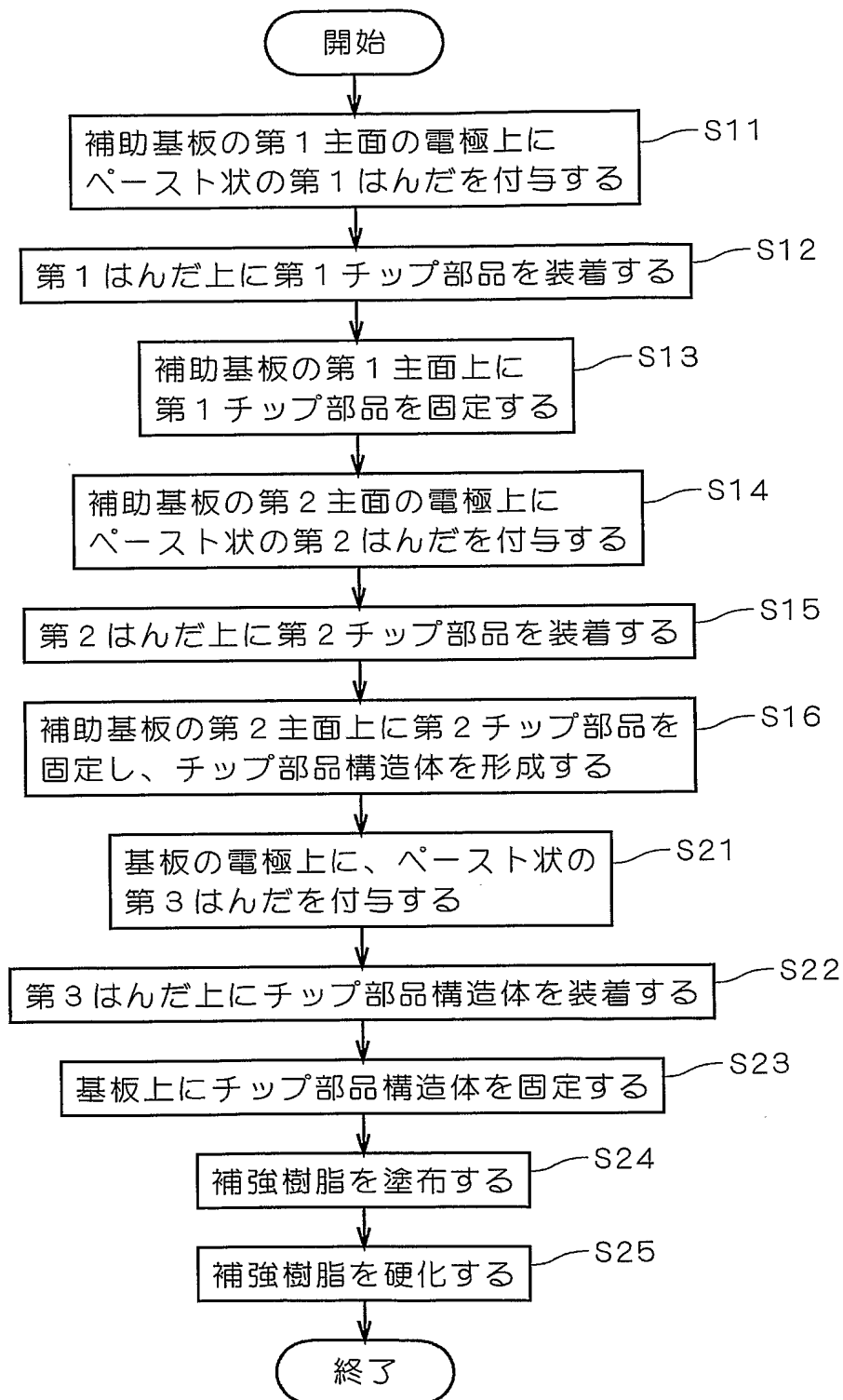




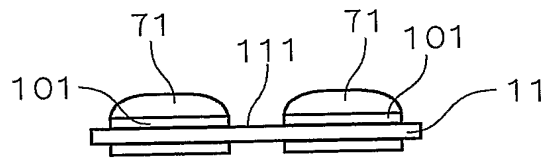
【図 2】



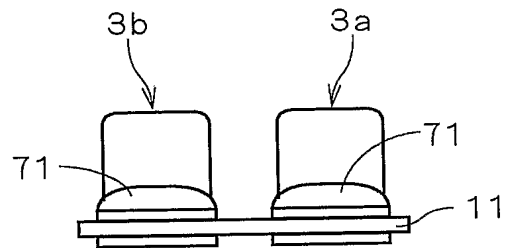
【図 3】



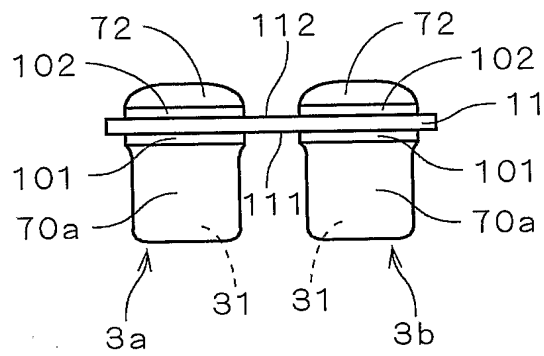
【図 4. A】



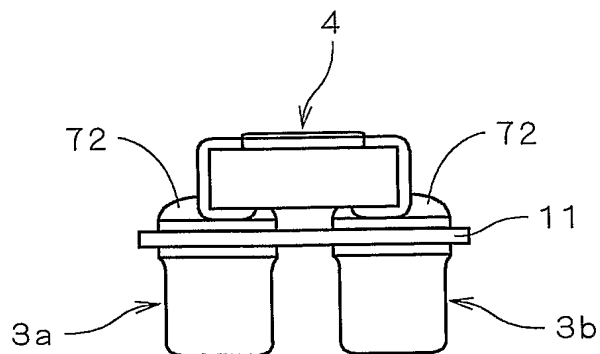
【図 4. B】



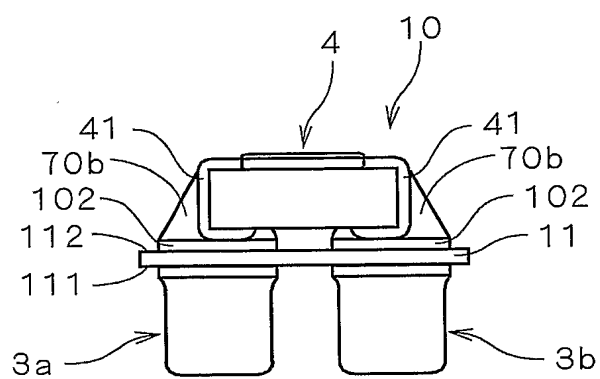
【図 4. C】



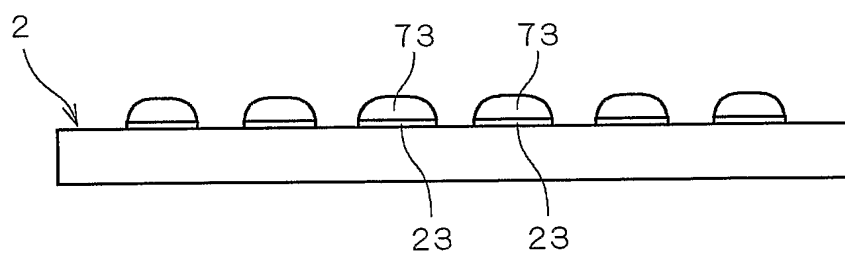
【図 4. D】



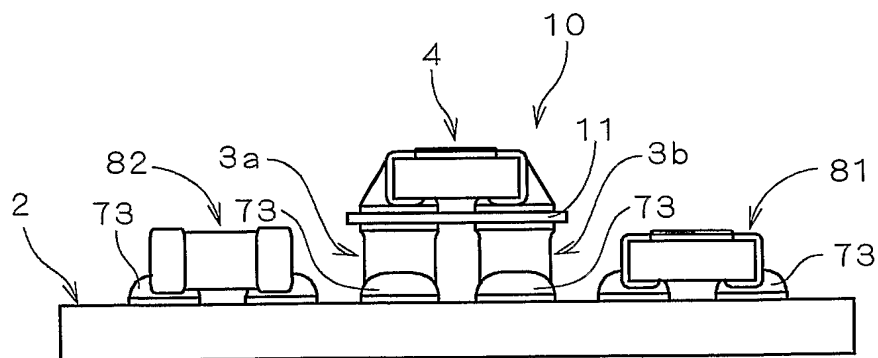
【図 4. E】



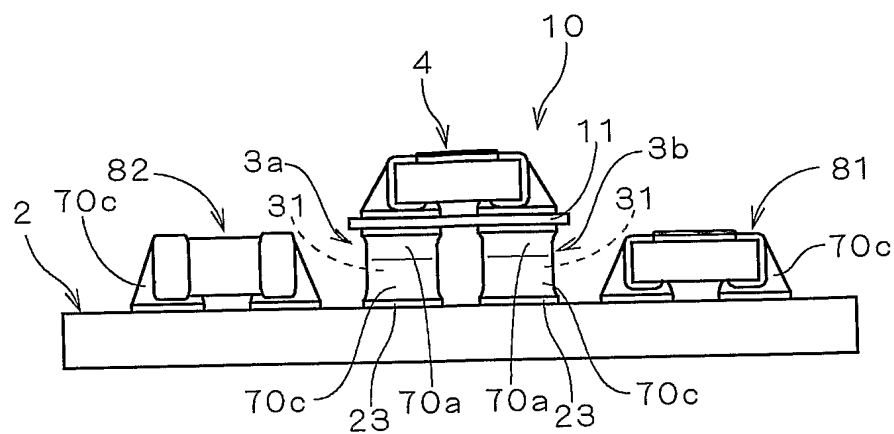
【図 5. A】



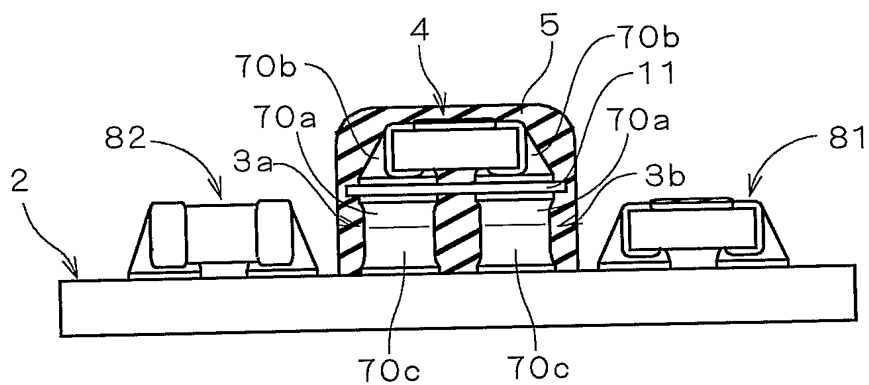
【図 5. B】



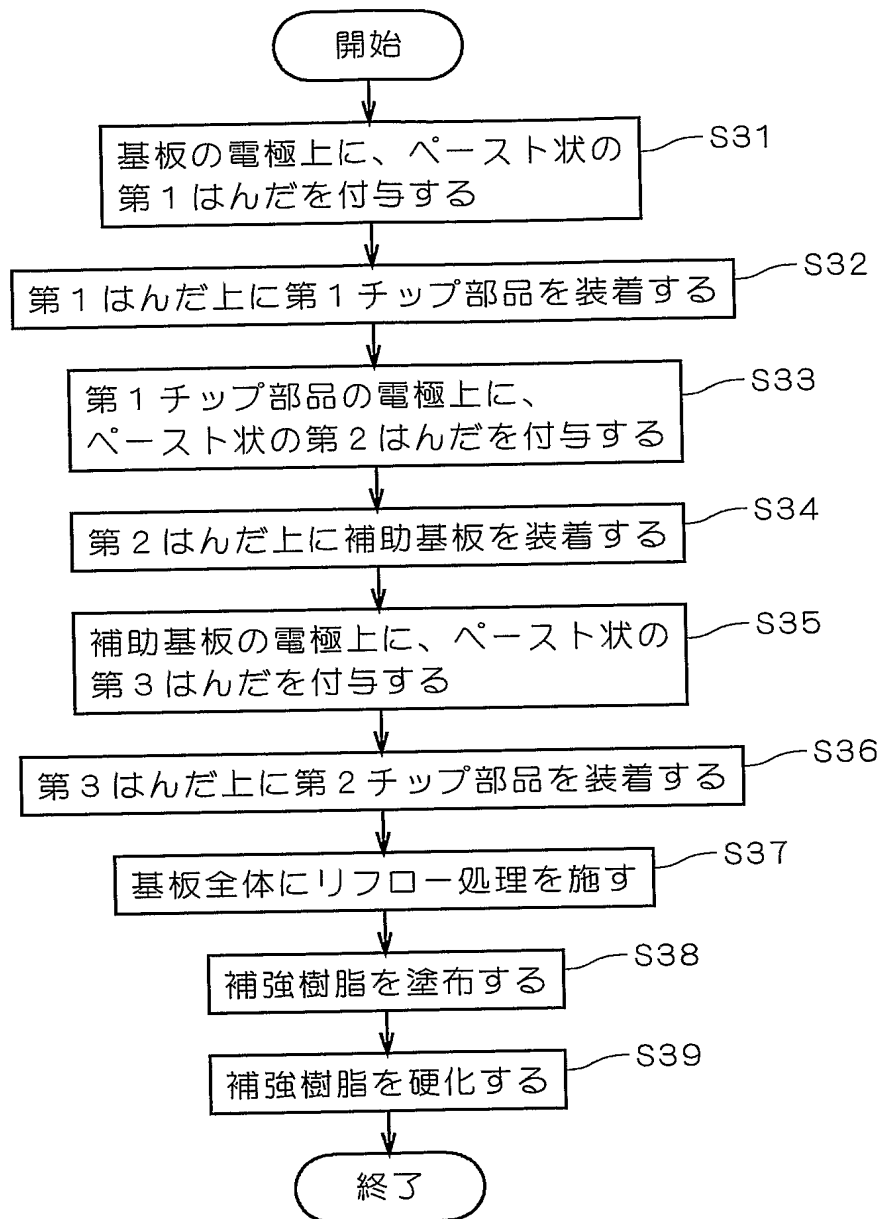
【図 5. C】



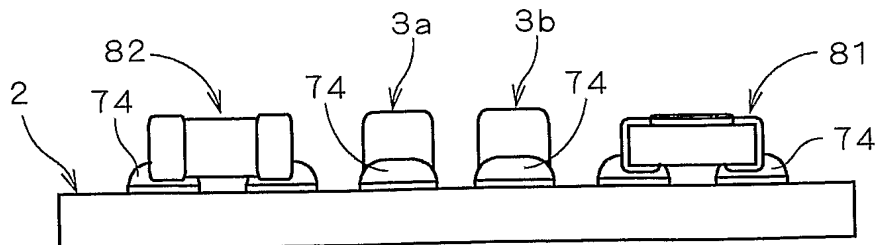
【図 5. D】



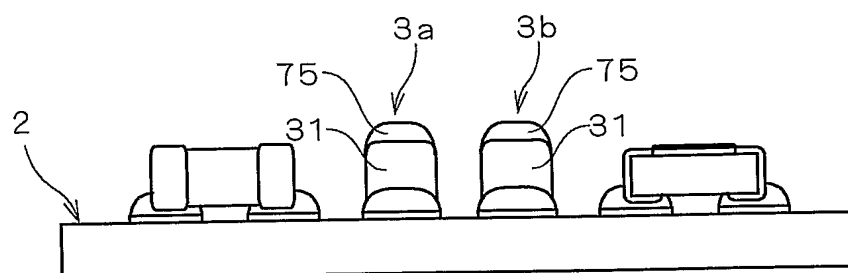
【図 6】



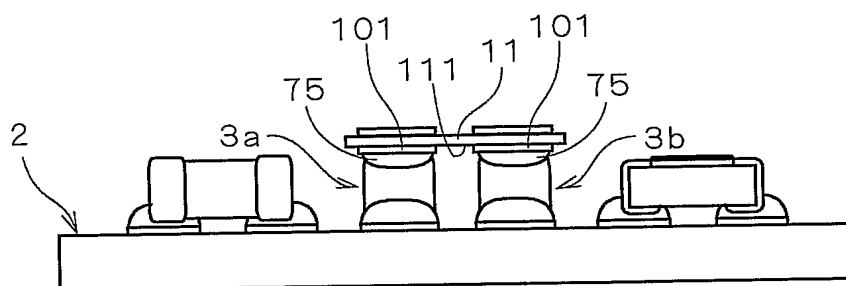
【図 7. A】



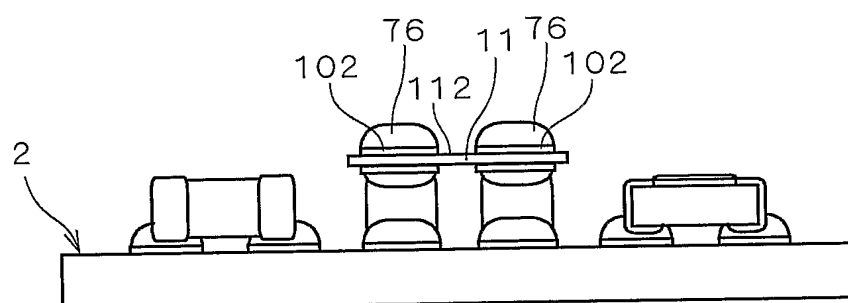
【図 7. B】



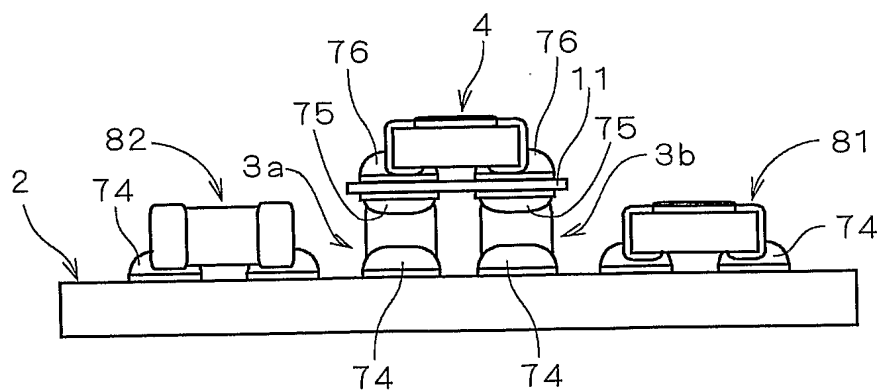
【図 7. C】



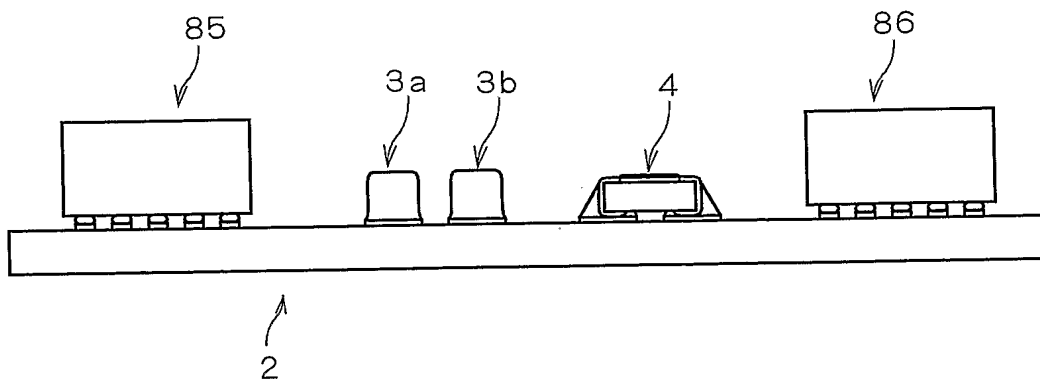
【図 7. D】



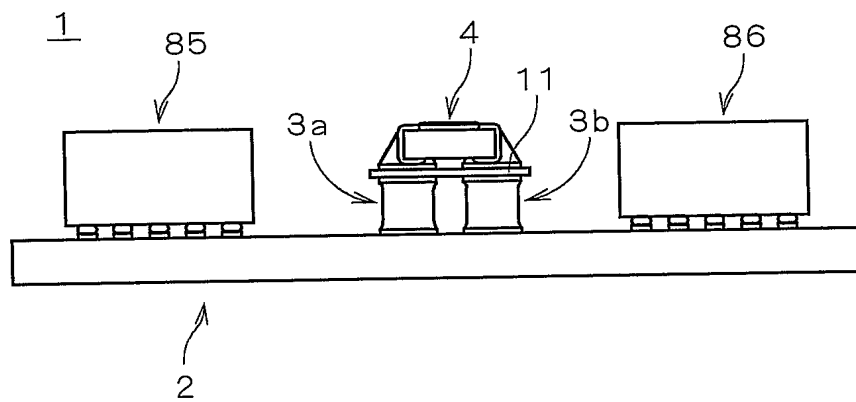
【図 7. E】



【図 8. A】

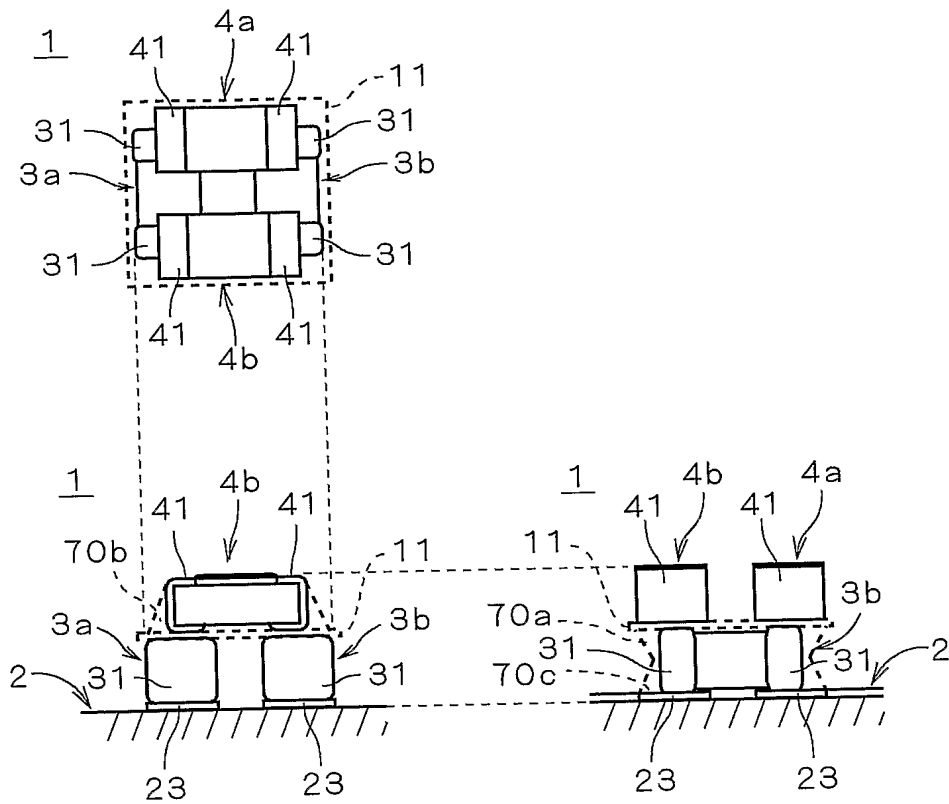


【図 8. B】

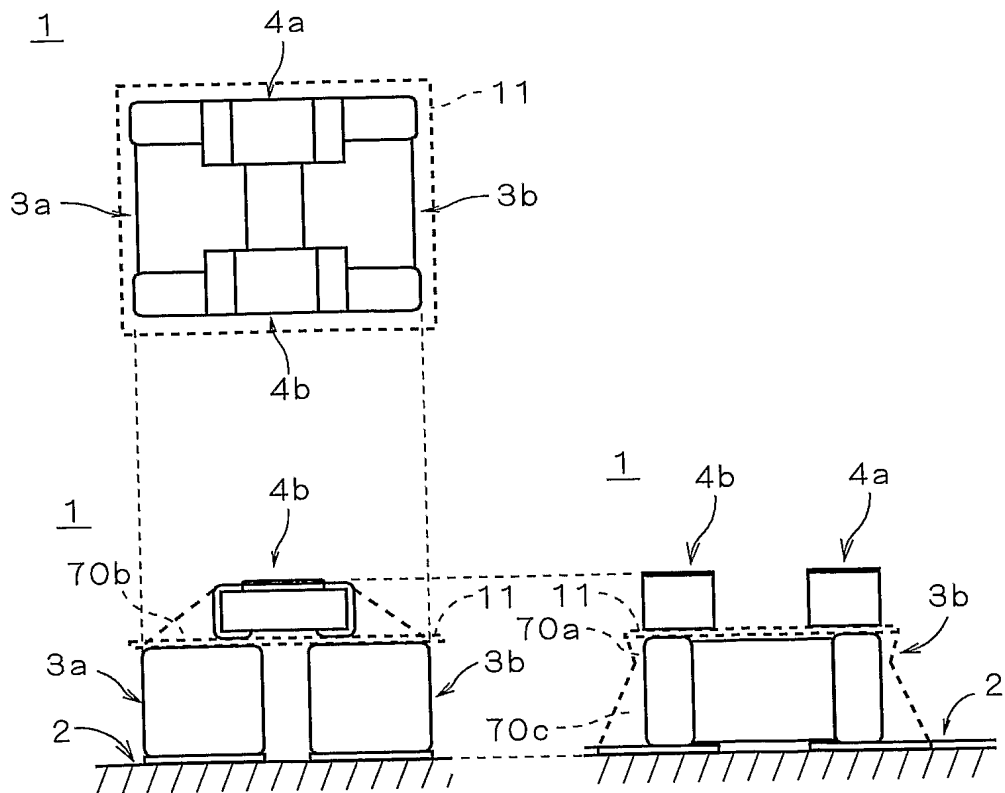




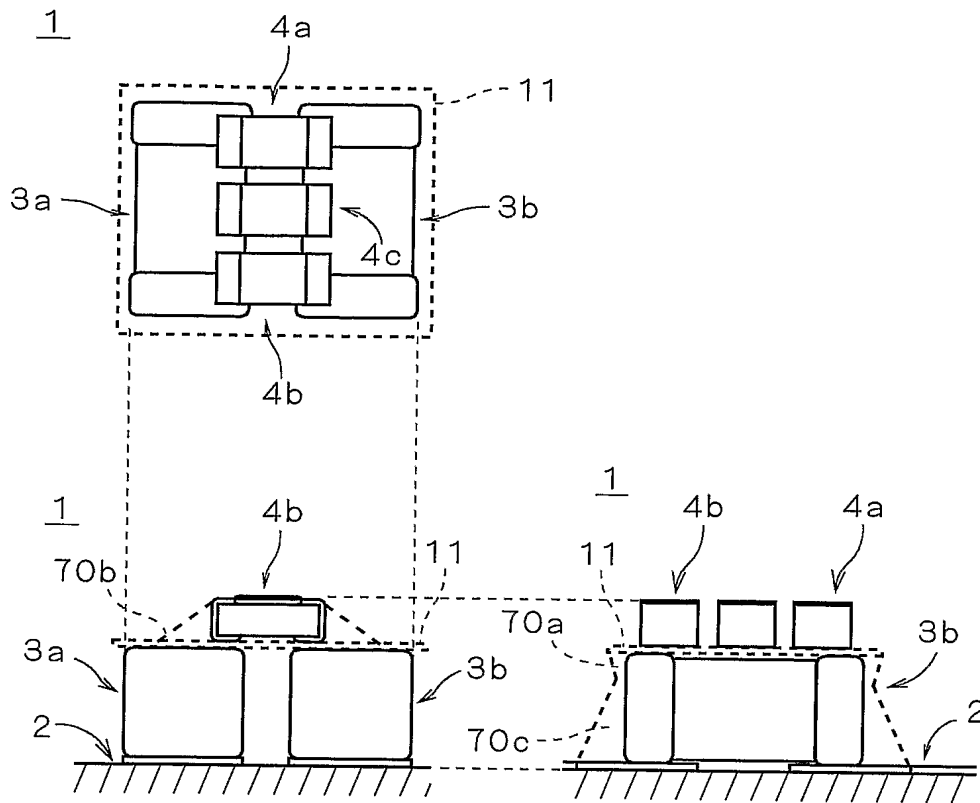
【図 9】



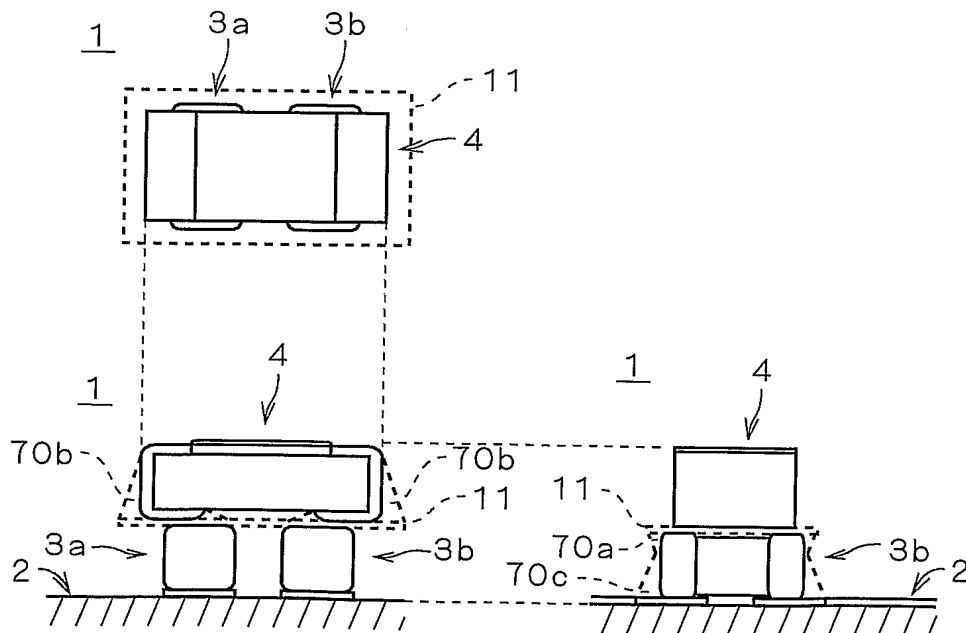
【図 10】



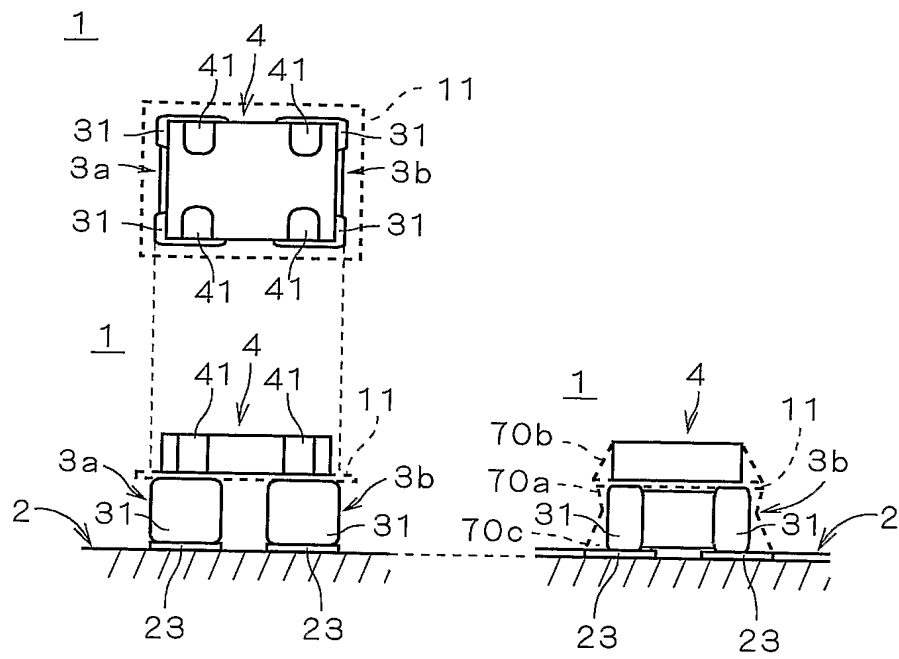
【図 1.1】



【図 1.2】



【図 13】



## 【書類名】 要約書

## 【要約】

【課題】 チップ部品を基板に高密度に実装し、回路基板を小型化する。

【解決手段】 回路基板 1 は、配線パターン 22 が形成された基板 2 と、基板 2 上にはんだ 70 c を介して実装されたチップコンデンサである第 1 チップ部品 3 a、3 b と、第 1 チップ部品 3 a、3 b の電極 31 上の基板 2 とは反対側にはんだ 70 a を介して実装された補助基板 11 と、補助基板 11 の第 1 チップ部品 3 a、3 b とは反対側にはんだ 70 b を介して実装されたチップ抵抗器である第 2 チップ部品 4 とを備える。第 2 チップ部品 4 は、補助基板 11 の電極を介して、一方の電極 41 が第 1 チップ部品 3 a の電極 31 と電気的に接続され、他方の電極 41 が第 1 チップ部品 3 b の電極 31 と電気的に接続される。チップ部品を局所的に多段に積み重ねることにより、簡易にチップ部品を基板に高密度に実装することができ、回路基板 1 が小型化される。

【選択図】 図 1

特願 2 0 0 4 - 0 3 9 4 2 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社